

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06326700 A

(43) Date of publication of application: 25 . 11 . 94

(51) Int. Cl

H04L 7/08

H04B 7/26

(21) Application number: 05115861

(22) Date of filing: 18 . 05 . 93

(71) Applicant:

NIPPON HOSO KYOKAI
<NHK> SANYO ELECTRIC CO
LTD

(72) Inventor:

TAKADA MASAYUKI
KURODA TORU
TSUCHIDA KENICHI
ISOBE TADASHI
YAMADA TSUKASA
NAKAJIMA HIROSHI
MASUMOTO TAKAHICO
TOMITA YOSHIKAZU

(54) SYNCHRONOUS SIGNAL PROCESSING CIRCUIT

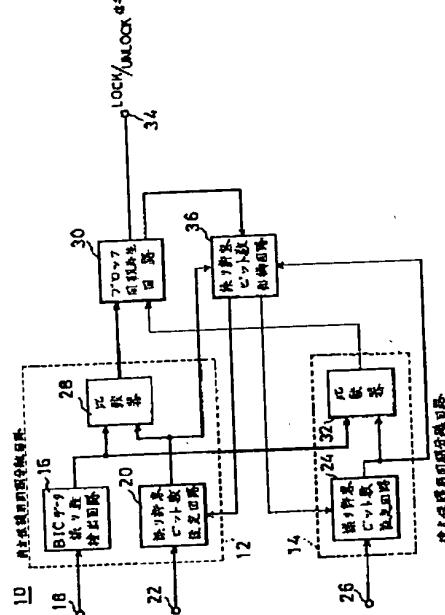
allowable bit number is set.

COPYRIGHT: (C)1994,JPO

(57) Abstract:

PURPOSE: To perform block synchronization well by respectively independently setting a first error allowable bit number used for detecting synchronous timing signals for a front protective operation and a second error allowable bit number used for detecting the synchronous tinning signals for a rear protective operation.

CONSTITUTION: A synchronous signal processing circuit 10 is provided with a synchronous separation circuit 12 for front protection and the synchronous separation circuit 14 for rear protection. Reception data are inputted from an input terminal 18 to a BIC data error number detection circuit 16 of the synchronous separation circuit 12 for the front protection, an error allowable bit number relating to the front protection is inputted from the input terminal 22 to an error allowable bit number setting circuit 20 and time error allowable bit number is set. Also, the error allowable bit number relating to the rear protection is inputted from the input terminal 26 to the error allowable bit number setting circuit 24 of the synchronous separation circuit 14 for the rear protection and the error



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

前記保護
後記保護

(11)特許出願公開番号

特開平6-326700

(43)公開日 平成6年(1994)11月25日

参考

(51) Int.Cl.
H 04 L 7/08
H 04 B 7/26

識別記号 D 7741-5K
府内整理番号 N 9297-5K

F I

技術表示箇所

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号 特願平5-115861

(22)出願日 平成5年(1993)5月18日

(71)出願人 000004352
日本放送協会
東京都渋谷区神南2丁目2番1号
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 高田 政幸
東京都世田谷区砧一丁目10番11号 日本放
送協会放送技術研究所内
(72)発明者 黒田 徹
東京都世田谷区砧一丁目10番11号 日本放
送協会放送技術研究所内
(74)代理人 弁理士 山田 義人

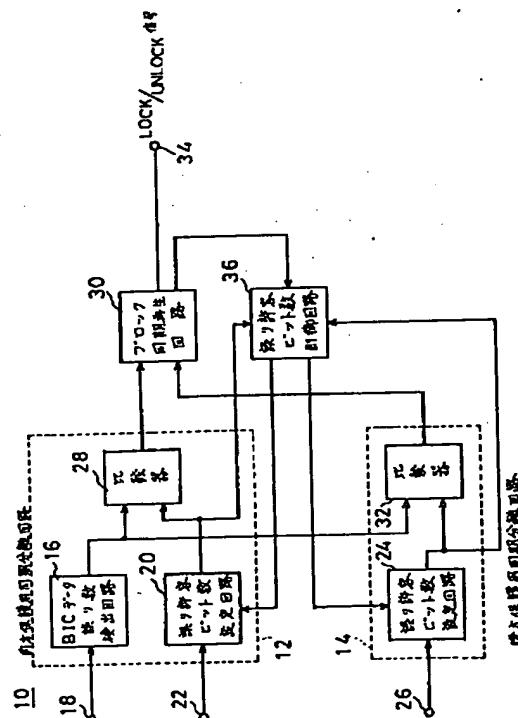
最終頁に続く

(54)【発明の名称】 同期信号処理回路

(57)【要約】

【構成】 前方保護用同期分離回路12に含む誤り許容ビット数設定回路20および後方保護用同期分離回路4に含む誤り許容ビット数設定回路24で、それぞれ独立して誤り許容ビット数を設定し、たとえば誤り許容ビット数設定回路20での値を誤り許容ビット数設定回路24のそれより大きくする。また、誤り許容ビット数制御回路36で、たとえば時間TB内でブロック同期が外れた回数をカウントして受信状況を判断し、誤り許容ビット数を適宜設定し直す。

【効果】 良好にブロック同期が行える。



【特許請求の範囲】

【請求項1】前方保護用同期分離手段および後方保護用同期分離手段を含む同期信号処理回路において、前記前方保護用同期分離手段での第1誤り許容ビット数を設定する第1誤り許容ビット数設定手段、および前記後方保護用同期分離手段での第2誤り許容ビット数を設定する第2誤り許容ビット数設定手段を含み、前記前方保護用同期分離手段が前記第1誤り許容ビット数に基づいて受信データから分離した同期タイミング信号を前方保護動作に用い、前記後方保護用同期分離手段が前記第2誤り許容ビット数に基づいて受信データから分離した同期タイミング信号を後方保護動作に用いることを特徴とする、同期信号処理回路。

【請求項2】前記第1誤り許容ビット数は前記第2誤り許容ビット数より大きく設定されることを特徴とする、請求項1記載の同期分離回路。

【請求項3】前記第1誤り許容ビット数および前記第2誤り許容ビット数を、受信状況に応じてそれぞれ独立に制御する誤り許容ビット数制御手段を備える、請求項1および2のいずれかに記載の同期信号処理回路。

【請求項4】一定時間内で生じる同期外れ回数をカウントすることによって受信状況を検出する状況検出手段を含む、請求項3記載の同期信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は同期信号処理回路に関し、特にたとえば1フレームが複数のパケット（データブロック）によって構成されるようなデータ構造の移動体FM多重放送用の受信機に用いられる、同期信号処理回路に関する。

【0002】

【従来の技術】移動体FM多重放送のデータ構造は、図4に示すように、複数のパケットにより1フレームのデータを構成しており、各パケットの先頭に同期信号であるブロック識別符号（BIC）が付加され、このブロック識別符号の変化点（BIC1→BIC3, BIC4→BIC2, BIC2→BIC3, BIC4→BIC1）を検出することによってフレーム同期がとられる。

【0003】ブロック識別符号としては、BIC1～BIC4の4種類があり、図5に示す従来の受信側の同期分離回路1では、それぞれのブロック識別符号と受信データとの一致を検出して同期分離を行う。このとき、比較器2で、BICデータ誤り数検出回路3から出力されるブロック識別符号と受信データとの不一致数が、誤り許容ビット数設定回路4によって設定される誤り許容ビット数以下であることを検出すれば、受信データをブロック識別符号とみなして、ブロック同期の外れを検出したりブロック同期のロックを行うために、後続のブロック同期再生回路（図示せず）に同期タイミング信号を出力する。

【0004】そして、ブロック同期再生回路では、入力された同期タイミング信号が正しいタイミングで検出されない状態がn回連続するまで同期状態を保存する（前方保護n回）とともに、正しいタイミングで検出されない状態がn回連続すれば、受信データから検出された同期タイミング信号によってブロック同期再生回路をリセットする。その後入力される同期タイミング信号がm回続けて正しいタイミングであるならば、ブロック同期をかけるように働く（後方保護m回）。ここで、従来技術では、同期分離に際しての誤り許容ビット数は、前方保護および後方保護の両方に同じ値が共用されていた。

【0005】

【発明が解決しようとする課題】したがって、前方保護を重要視して誤り許容数を大きくし、同期外れが起こりにくくしようとすると、ブロック識別符号と違う受信データを誤ってブロック識別符号と判断する確率が高くなり、同期外れ状態から同期をとりにいこうとする際に、本来のブロック同期がかかる位置を誤って判断し、ブロック同期をロックするのが遅れる。

【0006】一方、後方保護を重要視して誤り許容数を小さくし、間違ったタイミングで同期がかからないようしようようとすると、たとえば伝送中に少しでもブロック識別符号にエラーが起こると正しくブロック識別符号を検出できず、今度はロックが外れやすくなり、ノイズに弱いシステムとなる。そのため、多少の弊害は許容して、どちらにも極端に影響が出ないように、誤り許容ビット数を決定しなければいけないという問題点があつた。

【0007】それゆえに、この発明の主たる目的は、良好にブロック同期がとれる同期信号処理回路を提供することである。

【0008】

【課題を解決するための手段】この発明は、前方保護用同期分離手段および後方保護用同期分離手段を含む同期信号処理回路において、前方保護用同期分離手段での第1誤り許容ビット数を設定する第1誤り許容ビット数設定手段、および後方保護用同期分離手段での第2誤り許容ビット数を設定する第2誤り許容ビット数設定手段を含み、前方保護用同期分離手段が第1誤り許容ビット数に基づいて受信データから分離した同期タイミング信号を前方保護動作に用い、後方保護用同期分離手段が第2誤り許容ビット数に基づいて受信データから分離した同期タイミング信号を後方保護動作に用いることを特徴とする、同期信号処理回路である。

【0009】

【作用】前方保護動作の同期タイミング信号検出のために用いられる第1誤り許容ビット数および後方保護動作の同期タイミング信号検出のために用いられる第2誤り許容ビット数の設定値が、それぞれ第1誤り許容ビット数設定手段および第2誤り許容ビット数設定手段に

よって独立に設定される。たとえば、第1誤り許容ビット数を第2誤り許容ビット数より大きく設定し、また、状況検出手段で、たとえば一定時間内に生じる同期外れの回数によって受信状況を検出し、その受信状況に応じて、誤り許容ビット数制御手段によって第1誤り許容ビット数および第2誤り許容ビット数をそれぞれ独立して自動的に変更し得る。

【0010】

【発明の効果】この発明によれば、第1および第2誤り許容ビット数をそれぞれ独立して設定することができる。特に、前方保護に関する第1誤り許容ビット数を大きくすることによって、受信条件の悪い場所でもブロック同期のロックが外れにくくなり、後方保護に関する第2誤り許容ビット数を小さくすることによって、信頼性の高いシステムとなる。

【0011】さらに、受信状況を考慮すれば、第1誤り許容ビット数を大きくすることにより、受信条件の悪い場所でもブロック同期のロックが外れにくくなり、受信条件の良いところでは第1誤り許容ビット数を小さくすることによって信頼性の高いシステムとなる。一方、後方保護に関する第2誤り許容ビット数を大きくすることにより、受信条件の悪い場所でもブロック同期のロックがかかりにくくなるのを抑えることができ、受信条件の良いところでは第2誤り許容ビット数を小さくすることにより信頼性の高いシステムとなる。このように、受信状況によってそれなりに第1および第2誤り許容ビット数の設定値を自動的に設定し直すことによって、より良好にブロック同期を行うことができる。

【0012】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0013】

【実施例】図1を参照して、この実施例の同期信号処理回路10は、前方保護用同期分離回路12および後方保護用同期分離回路14を含む。前方保護用同期分離回路12のBICデータ誤り数検出回路16には、入力端子18から受信データが入力され、誤り許容BIT数設定回路20には、入力端子22から前方保護に関する誤り許容ビット数が入力され、誤り許容ビット数が設定される。また、後方保護用同期分離回路14の誤り許容ビット数設定回路24には、入力端子26から後方保護に関する誤り許容ビット数が入力され、誤り許容ビット数が設定される。

【0014】BICデータ誤り数検出回路16では、受信データとブロック識別符号との一致が検出され、両者の不一致数が誤り数として比較器28に入力される。そして、誤り許容ビット数設定回路20に設定された誤り許容ビット数と比較器28で比較される。BICデータ誤り数検出回路16からの誤り数が誤り許容ビット数よ

りも小さければ、その受信データはブロック識別符号と判断され、前方保護用のブロック識別符号を検出したことを示す同期タイミング信号が、ブロック同期検出回路30に入力される。同様に、BICデータ誤り数検出回路16からの誤り数は比較器32に与えられ、比較器32で、誤り許容ビット数設定回路24に設定された誤り許容ビット数と比較される。このとき、BICデータ誤り数検出回路16からの誤り数が誤り許容ビット数よりも小さければ、後方保護用のブロック識別符号を検出したことを示す同期タイミング信号が、ブロック同期検出回路30に入力される。

【0015】そして、ブロック同期再生回路30では、比較器28および比較器32からそれぞれ出力される同期タイミング信号を用いて、受信データとのブロック同期をとり、ブロック同期がロックしたか否かを示すLOCK/UNLOCK信号が出力端子34から出力される。また、ブロック同期再生回路30では、ロック状態のときには、比較器28からの同期タイミング信号によって前方保護動作を行い、アンロック状態のときには、比較器32からの同期タイミング信号によって後方保護動作を行う。さらに、ブロック同期再生回路30からは、誤り許容ビット数制御回路36にブロック同期UNLOCKパルスが出力される。このブロック同期UNLOCKパルスは、たとえばブロック同期がUNLOCK期間にパケット周期で出力されるパルスである。

【0016】誤り許容ビット数制御回路36は、たとえば図2に示すように構成される。図2に示す誤り許容ビット数制御回路36はカウンタ回路38を含み、カウンタ回路38には、端子40を介してブロック同期再生回路30からのブロック同期UNLOCKパルスが与えられ、ブロック同期UNLOCKパルスが時間TB内に何回発生したかがカウントされる。すなわち、カウンタ回路38には、時間TB周期のカウンタであるカウンタ回路42から時間TB毎に1回クリアパルスが与えられ、時間TB内に何回ブロック同期が外れたかがカウントされる。カウンタ回路42には、マスタクロック入力端子44から与えられたマスタクロックが分周回路46で適当な周波数に分周されて、クロックとして入力される。分周回路46の分周比は、分周比設定入力端子48からの入力によって設定される。また、カウンタ回路42の周期は、端子50からの入力によって設定または変更できる。そして、カウンタ回路38での時間TB内のカウント値は、比較器52に与えられる。

【0017】そして、前方保護用同期分離回路12の誤り許容ビット数の制御の場合には、比較器52に、たとえば入力端子54から時間TB内にブロック同期外れが何回まで許せるかというブロック同期UNLOCK回数の期待値(NおよびM)が入力される。この期待値とカウンタ回路38からのカウント値とが比較器52で比較される。

【0018】比較器52では、数1ないし数3の比較が行われ、その結果が誤り許容数変回路56に入力される。

【0019】

【数1】UNLOCK回数<N回

【0020】

【数2】N回<UNLOCK回数<M回路

【0021】

【数3】M回<UNLOCK回数

誤り許容数変回路56では、今までの誤り許容ビット数に対して、数1の場合では「1」を減算し、数2の場合ではそのままにしておき、数3の場合では「1」を加算して、誤り許容ビット数設定回路20の値を設定し直し、そして前方保護動作が行われる。

【0022】すなわち、誤り許容数変回路56は図3に示すように、たとえばマルチブレクサ56aおよび加算器56bを含み、マルチブレクサには「+1」、「0」および「-1」が入力される。そして、数1ないし数3の比較結果がマルチブレクサ56aの選択信号として与えられ、「+1」、「0」および「-1」のいずれかを選択し、加算器56bに出力する。そして、端子58を介して与えられる今までの誤り許容ビット数に加算して、加算値を出力端子60から誤り許容BIT数設定回路20に与え、誤り許容ビット数を設定し直す。

【0023】後方保護用同期分離回路14の誤り許容BIT数の制御も、誤り許容ビット数制御回路36で行われる。このとき、ブロック同期UNLOCK回数の期待値(TN, TM)が入力端子54から比較器52に入力される。比較器52では、数4ないし数6の比較が行われ、その結果が誤り許容数変回路56に入力される。

【0024】

【数4】UNLOCK回数<TN

【0025】

【数5】TN<UNLOCK回数<TM

【0026】

【数6】TM<UNLOCK回数

そして、誤り許容数変回路56では、端子58を介して誤り許容ビット数設定回路24から与えられる今までの誤り許容ビット数に対して、数4の場合では「1」を減算し、数5の場合ではそのままにしておき、数6の場合では「1」を加算して、誤り許容ビット数設定回路24の値を設定し直し、そして後方保護動作が行われる。

【0027】このように、時間TB内のUNLOCK回数がカウントされ、そのUNLOCK回数によって誤り許容ビット数が設定・変更されることで、受信状況に応じた誤り許容ビット数を適宜設定・変更できる。なお、誤り許容ビット数制御回路36は、他の構成要素とともにIC内に組み込んでもよく、また、CPUを用いたハードウェアによってIC外部に構成し、プログラミングによって制御動作を行うようにしてもよい。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図である。

【図2】この実施例の誤り許容ビット数制御回路の一例を示すブロック図である。

【図3】この実施例の誤り許容数変回路の一例を示すブロック図である。

【図4】FM多重放送における一般的なデータ構造を示す図解図である。

【図5】従来の同期分離回路を示すブロック図である。

【符号の説明】

10 …同期信号処理回路

12 …前方保護用同期分離回路

14 …後方保護用同期分離回路

16 …BICデータ誤り許容数検出回路

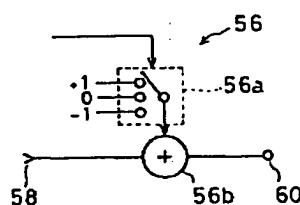
20, 24 …誤り許容ビット数設定回路

28, 32, 52 …比較器

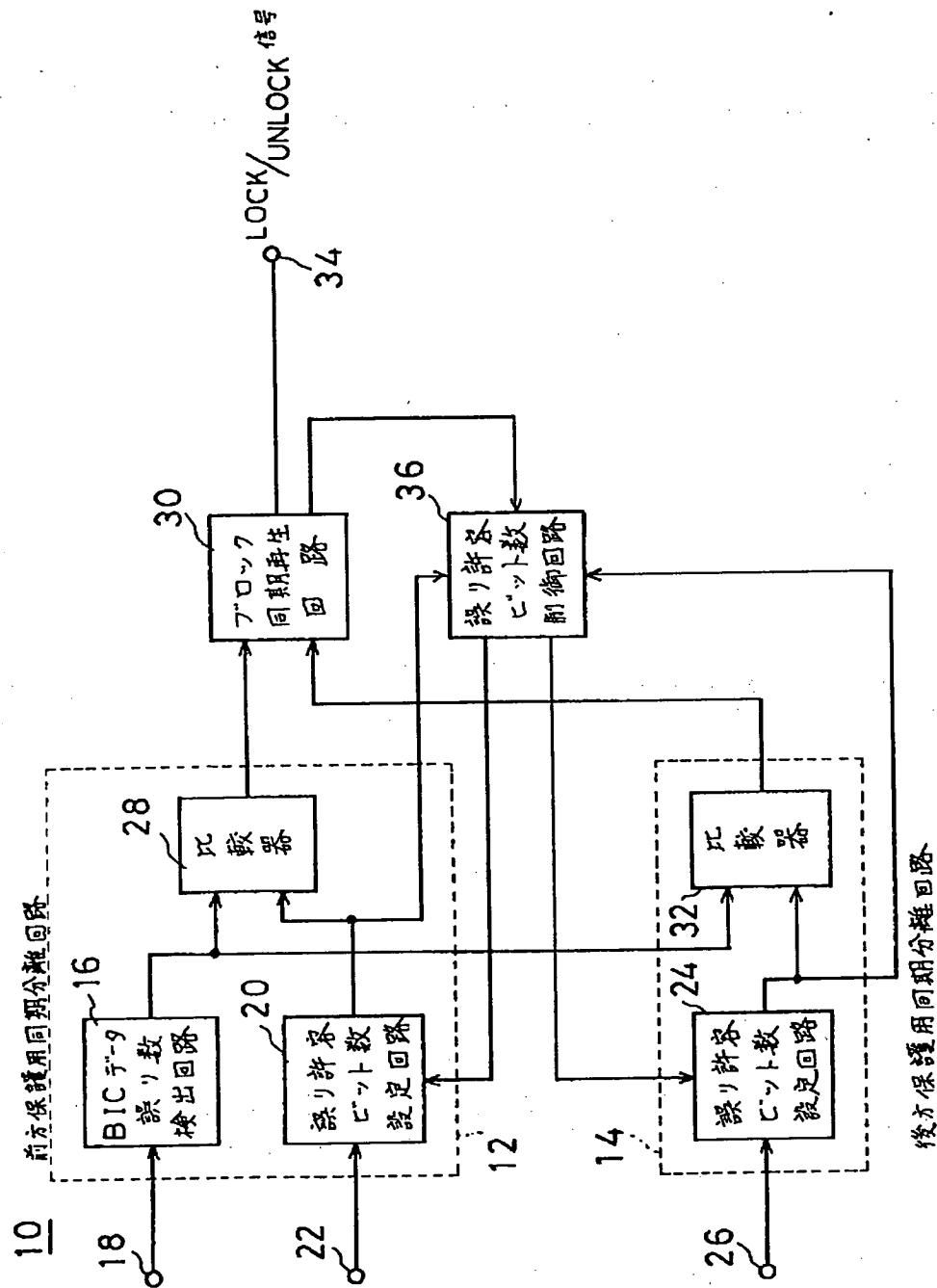
30 …ブロック同期再生回路

36 …誤り許容ビット数制御回路

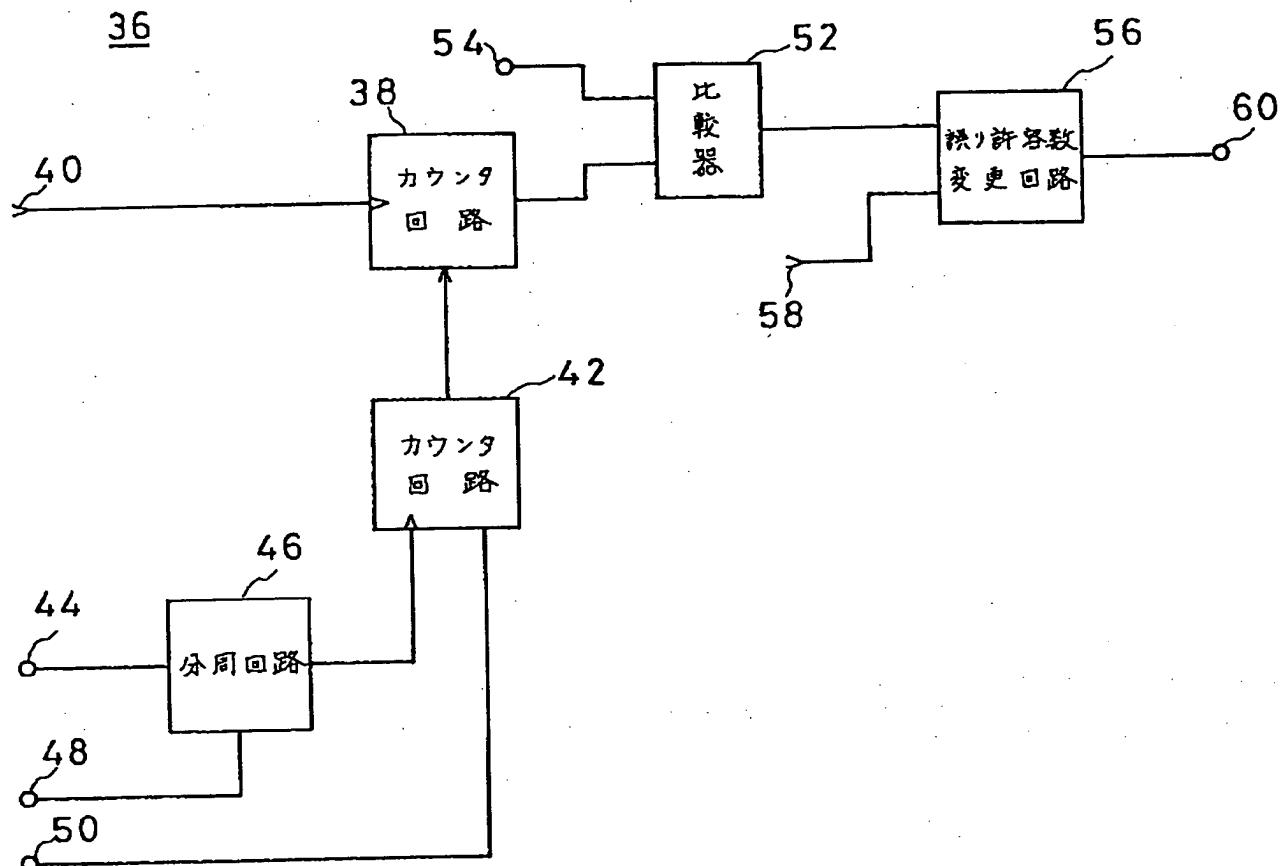
【図3】



【図1】



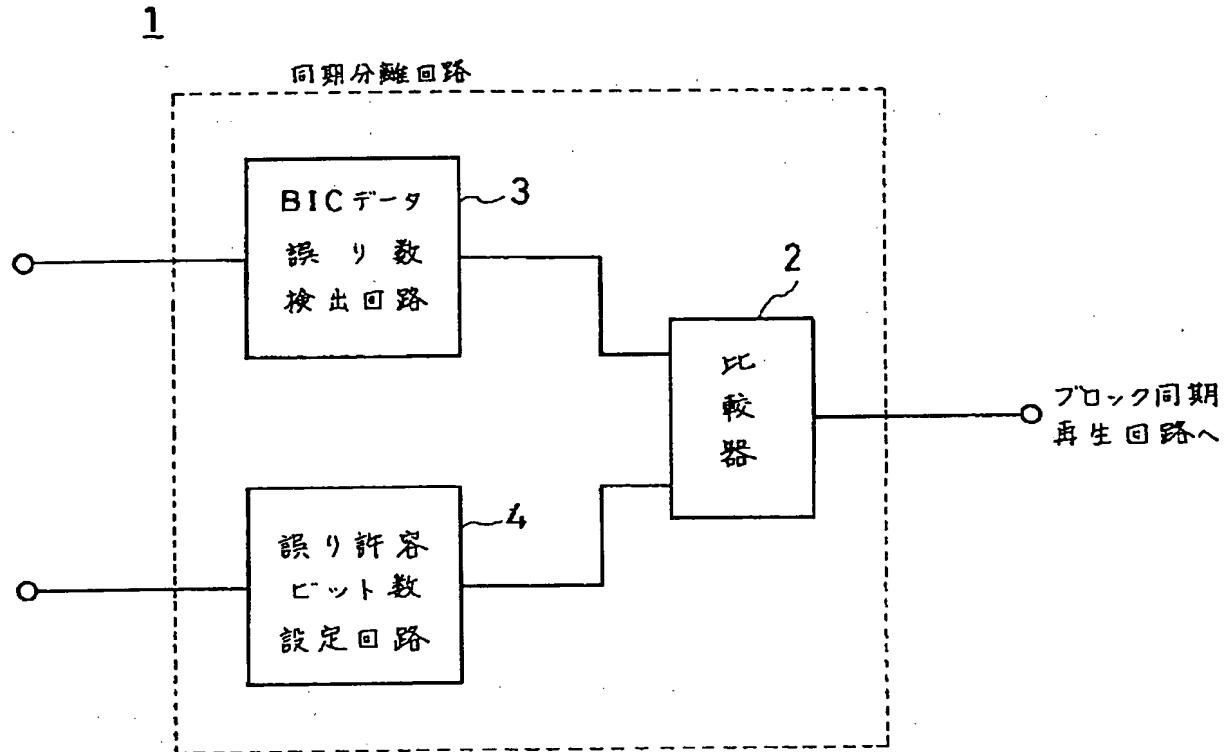
【図2】



【図4】

BIG1	データブロック1	CRC	
BIG1	データブロック2	CRC	
			パリラ
BIC1	データブロック1 1	CRC	
BIC3	データブロック1 4	CRC	
BIC3	データブロック1 5	CRC	
BIC4	データブロック1 6	CRC	
BIC3	データブロック1 7	CRC	
BIC4	データブロック1 8	CRC	
			パリラ
BIC3	データブロック2 9 4	CRC	
BIC3	データブロック2 9 5	CRC	
BIC4	データブロック2 9 6	CRC	
			パリラ
BIC2	データブロック2 1 0 6	CRC	
BIC3	データブロック2 1 0 9	CRC	
BIC3	データブロック2 1 1 0	CRC	
BIC4	データブロック2 1 1 1	CRC	
			パリラ
BIC3	データブロック2 1 8 9	CRC	
BIC3	データブロック2 1 9 0	CRC	
BIC4	データブロック2 1 9 1	CRC	

【図5】



フロントページの続き

(72)発明者 土田 健一

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 磯部 忠

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 山田 宰

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 中島 洋

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 増本 隆彦

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 富田 義数

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内